**Лабораторная работа 4 (Lr4)**

**ТРИГГЕРЫ**

**ЦЕЛЬ РАБОТЫ**

Ознакомление с основными характеристиками и испытание интегральных триггеров *RS*, *D*, *T* и *JK*.

**ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ И РАСЧЕТНЫЕ ФОРМУЛЫ**

*Триггер* — это устройство последовательностного типа с двумя устойчивыми состояниями равновесия, предназначенное для записи и хранения информации. Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое. При этом напряжение на его выходе скачкообразно изменяется с низкого уровня на высокий или наоборот.

По способу записи информации триггеры делят на *асинхронные*, которые переключаются в момент подачи входного сигнала, и *синхронные* (тактируемые), которые переключаются только при подаче синхронизирующих импульсов, а момент переключения связан с определенным уровнем синхросигнала (*статические* триггеры) или с моментом перепада напряжения на тактируемом входе (*динамические* триггеры).

Как правило, триггер имеет два выхода: прямой  и инверсный . Число входов зависит от структуры и функций, выполняемых триггером. Например, асинхронные *RS*-триггеры имеют два входа: вход *S* установки в *единичное* состояние прямого выхода *Q* и вход *R* установки в *нулевое* состояние выхода *Q*. Синхронные триггеры для занесения в них информации, помимо информационных входов *S* (*J*) и *R* (*К*), имеют синхронизирующий *С* или счетный *Т* вход, а триггеры задержки — информационный вход *D*.

Наибольшее распространение в цифровых устройствах получили триггеры *RS*, *D*, *T* и *JK*.

**1. АСИНХРОННЫЙ И СИНХРОННЫЙ RS-ТРИГГЕРЫ**

Простейшим триггером является *асинхронный RS*-триггер, условное графическое изображение которого представлено на рис. 4.1а, а принцип его работы поясняется таблицей истинности (табл. 4.1). Триггер имеет два раздельных информационных входа: *R* и *S* и два выхода:  и . Независимым является один (прямой) выход , так как инверсный сигнал  можно получить с помощью внешнего инвертора.

Рассмотрим табл. 4.1. Обозначим  сигнал на выходе триггера до поступления сигнала 1 на его вход *S*. При подаче сигналов *S* = 1 и *R* = 0 триггер переходит в состояние . При поступлении сигналов  и  на выходе устанавливается . При отсутствии новых команд состояние триггера не изменяется: триггер сохраняет информацию о последней из поступивших команд. Естественно, что комбинация сигналов  и  относится к запрещенным, так как при ее подаче на входы триггера на его выходе  устанавливается либо 1, либо 0.

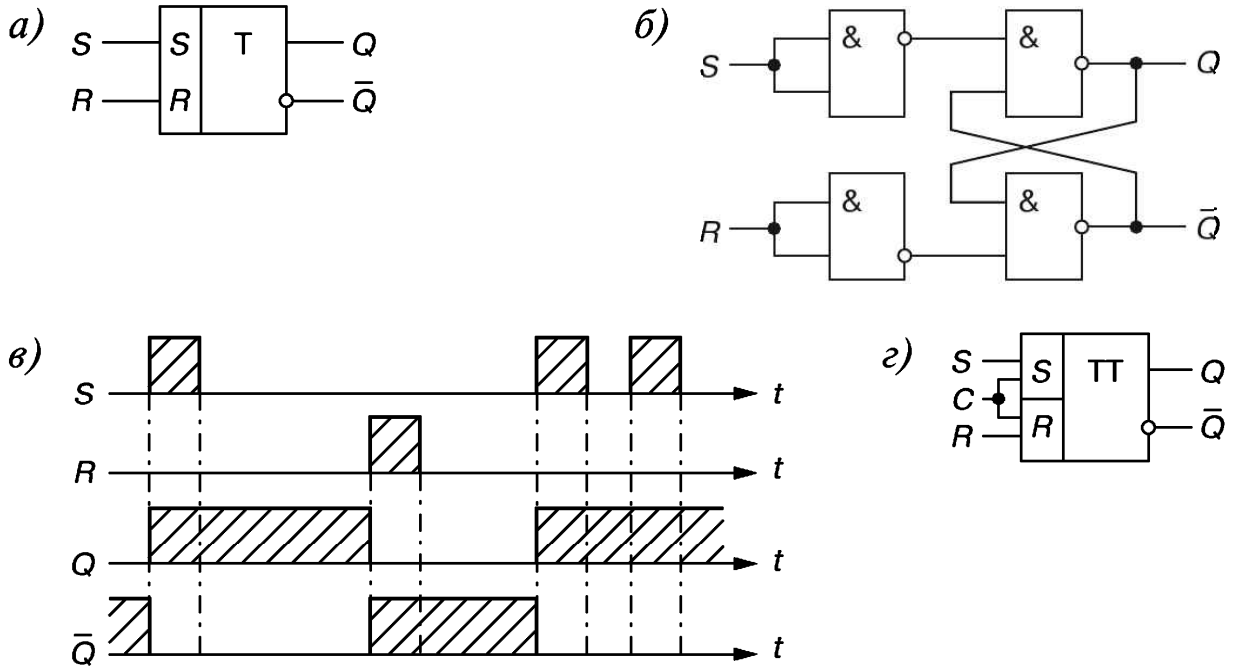


Рис. 4.1

Таблица 4.1

|  |  |  |
| --- | --- | --- |
| *R* | *S* |  |
| 0 | 0 |  |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | - |

На основании табл. 4.1 запишем аналитическое выражение функционирования *RS*-триггера:

.

На рис. 4.1*в* изображена временная диаграмма, иллюстрирующая его работу. В момент, когда подается сигнал , триггер переходит в состояние . При отсутствии входных сигналов состояние триггера не изменяется, а в момент подачи сигнала  триггер переключается в состояние , в котором пребывает до поступления нового единичного сигнала на *S*-вход.

*RS*-триггер может быть построен на различных логических элементах. На рис. 4.1*б* показана схема реализации *RS*-триггера на базовых элементах И-НЕ, в которой использована положительная обратная связь (ПОС) с выходов триггера на входы логических элементов. Именно наличие ПОС отличает триггер от ранее рассмотренных комбинационных логических устройств: посредством сигналов ПОС в триггере фиксируется его предшествующее состояние.

Асинхронный *RS*-триггер можно преобразовать в *синхронный*, если добавить третий синхронизирующий вход *С* (рис. 4.1*г*), соединенный, например, с нижними, предварительно разделенными входами двух левых элементов И-НЕ (см. рис. 4.1*б*).

Вход *С* обеспечивает функционирование *RS*-триггера по закону

.

Переключение синхронного *RS*-триггера в состояние  происходит при  (или в состояние  при ) в момент прихода синхроимпульса *С*. При *С* = 0 информация с *S*- и *R*-входов на триггер не передается.

**2. Т-ТРИГГЕР**

Триггер со счетным запуском (*Т-триггер*) должен переключаться каждым импульсом, подаваемым на единственный счетный вход *Т* (рис. 4.2а). Функционирование *T*-триггера определяется уравнением

.

Он может быть реализован, например, на базе двух синхронных *RS*-триггеров (рис. 4.2*б*). С появлением фронта тактового импульса триггер *T1* первой ступени переключается в состояние, противоположное состоянию триггера *T2*. Но это не вызывает изменения сигналов на выходах  и , так как за счет инвертора на тактовый вход *С* триггера *T2* в данный момент подан логический 0. Только на срезе счетного импульса на входе *T1* переключится триггер *T2* и произойдет изменение сигналов на выходах  и , а также на *S-* и *R-*входах первой ступени.

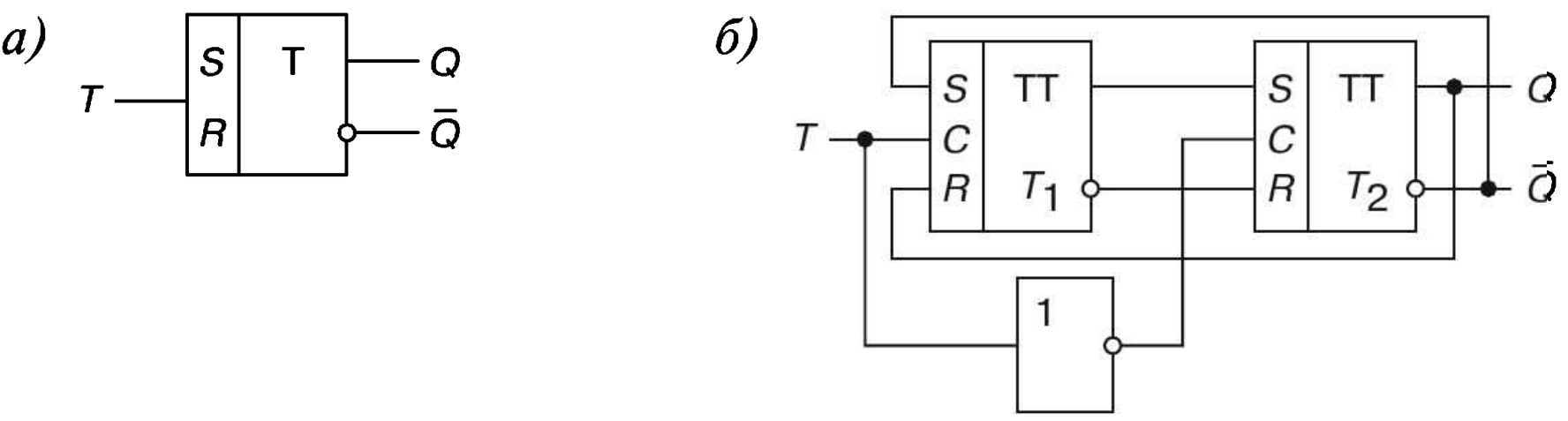


Рис 4.2

**3. D-ТРИГГЕР**

Триггер задержки (*D-триггер*) может быть только синхронным, так как имеет один информационный *D*-вход, информация с которого переписывается на выход триггера только по тактовому сигналу, подаваемому на *С*-вход. Условное изображение *D*-триггера приведено на рис. 4.3*а*. Реализовать его можно на различных логических элементах, в том числе на основе синхронного *RS*-триггера, дополненного инвертором (рис. 4.3*б*). Из анализа табл. 4.2 переключательной функции *D*-триггера



следует, что при отсутствии синхроимпульса () состояние триггера остается неизменным. При условии же  триггер передает на выход сигнал, поступивший на его вход *D* в предыдущем такте, то есть выходной сигнал  изменяется с *задержкой* на один период импульсов синхронизации.

Из анализа временной диаграммы *D*-триггера (рис. 4.3*в*) также следует, что выходной сигнал *Q* триггера повторяет состояние *D*-входа с поступлением очередного тактового импульса на вход *С* с задержкой *t3* относительно сменившегося логического состояния на *D*-входе.

**4. JK-ТРИГГЕР**

*JK*-триггеры обычно выполняют тактируемыми. *JK-триггер* имеет информационные входы *J* и *К*, которые по своему воздействию на устройство аналогичны входам *S* и *R*

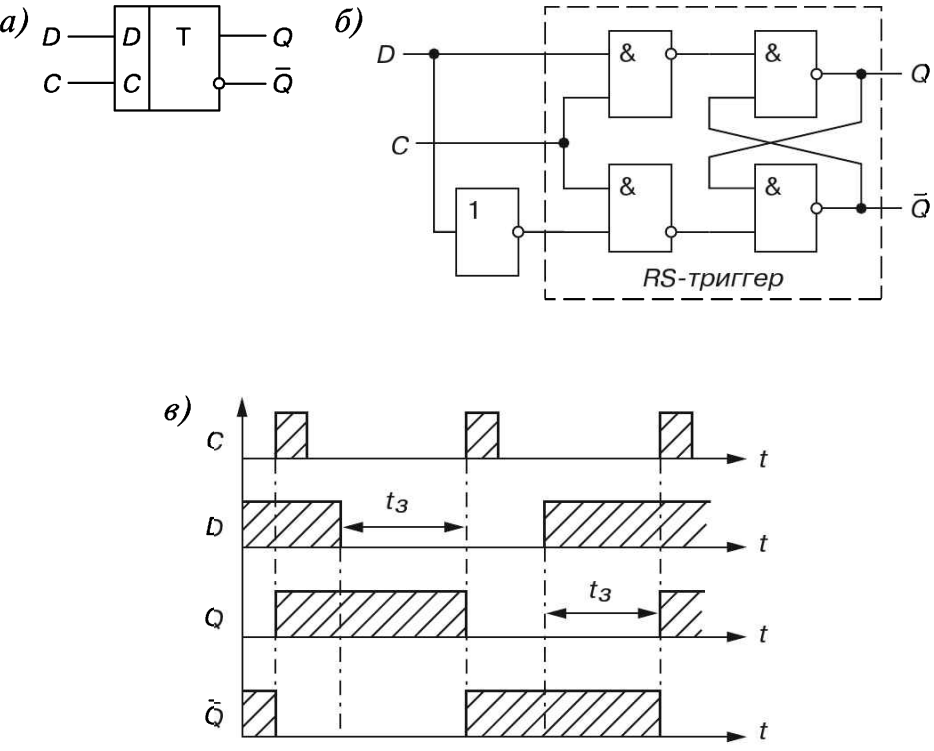


Рис 4.3

Таблица 4.2

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

синхронного *RS*-триггера: при  и  триггер по тактовому импульсу *С* устанавливается в состояние ; при  и  — переключается в состояние , а при  и  - хранит ранее принятую информацию.

В отличие от синхронного *RS*-триггера, одновременное присутствие логических единиц на информационных входах не является для *JK*-триггера запрещенной комбинацией; при  и  триггер работает в счетном режиме, то есть переключается каждым тактовым импульсом на входе *С*.

На рис. 4.4*а* изображена одна из функциональных схем *JK*-триггера. Она отличается от схемы *Т*-триггера (см. рис. 4.2*б*) двумя трехвходовыми элементами И-НЕ *Э1* и *Э2* входной логики первой ступени *JK*-триггера. Переключающий вход *С* — динамический (рис. 4.4*б*): переключение *JK*-триггера происходит в момент перепада синхроимпульса с уровня  на уровень , то есть при срезе.

При  и  на выходе элементов *Э1* и *Э2* устанавливаются логические единицы, которые для триггеров с инверсными входами являются пассивными сигналами: триггер *Т1* и, следовательно, *JK*-триггер в целом сохраняют прежнее состояние (см. рис. 4.4*а*). Логическая 1 на одном из входов элемента И-НЕ не определяет 1 на его выходе, и комбинация ,  никак не влияет на входную логику первой ступени, поэтому схемы *Т-* и *JK-*триггеров (см. рис. 4.2*б* и рис. 4.4*а*) принципиально не отличаются: оба работают в счетном режиме.

Только при комбинации сигналов ,  и  на входе элемента *Э1* триггер *JK* переключится в состояние . Аналогично логический 0 будет на выходе элемента *Э2*, когда ,  и .

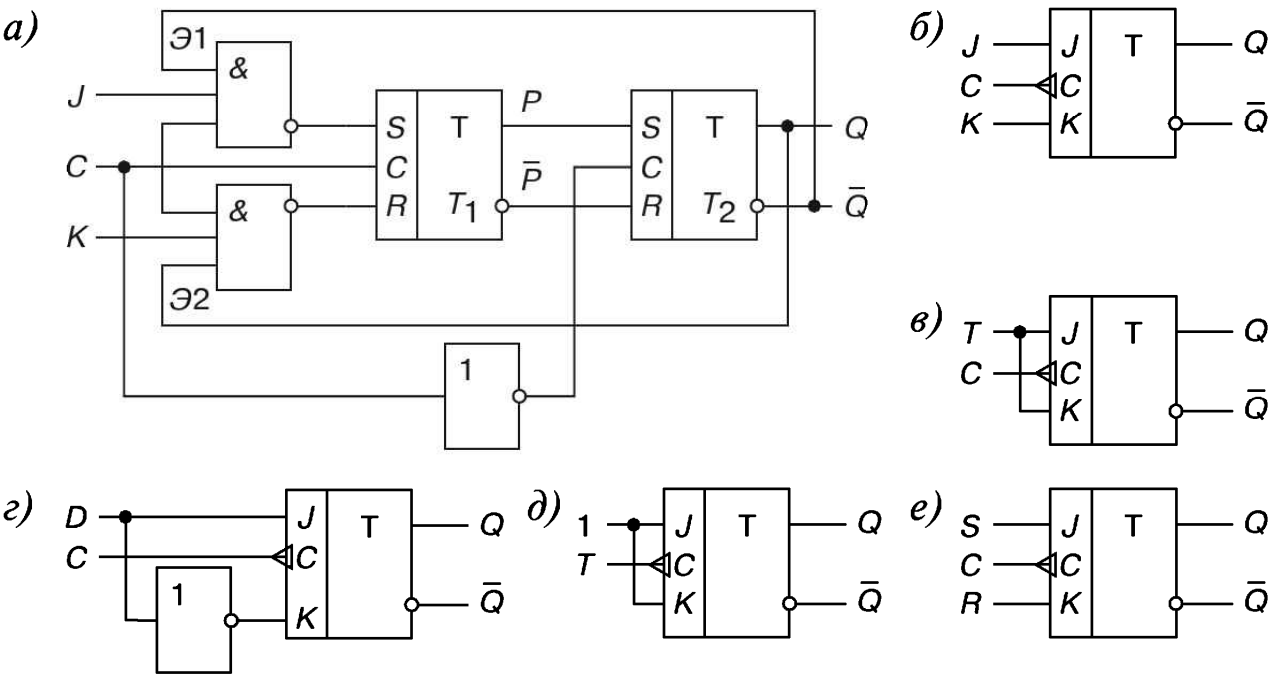


Рис.4.4

Таблица 4.3

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |

Таким образом, комбинация ,  обусловливает по тактовому импульсу  переключение *JK*-триггера в целом в состояние , а комбинация ,  — в состояние .

Из анализа табл. 4.3 переключательной функции *JK*-триггера



следует, что состояние триггера определяется не только уровнями сигналов на информационных входах *J* и *К*, но и состоянием , в котором ранее находился *JK*-триггер. Так, при комбинации ,  триггер сохраняет предыдущее состояние (); комбинация ,  приводит к тому, что тактовым импульсом триггер переключается в состояние, противоположное предыдущему: . Комбинации ,  и ,  дают разрешение триггеру переключиться соответственно в состояния  и .

На основе *JK*-триггера (рис. 4.4*б*) могут быть выполнены синхронный (рис. 4.4*в*) и асинхронный (рис. 4.4*г*) *Т*-триггеры, *D*-триггер (рис. 4.4*д*) и синхронный *RS*-триггер (рис. 4.4*е*).

При проектировании сложных логических схем (микросхем) необходимы триггеры различных типов, которые можно было бы выполнить на основе одного универсального триггера и использовать его в разных режимах работы и модификациях. В интег¬\ральной схемотехнике наибольшее распространение получили *D-* и *JK-*триггеры.

**УЧЕБНЫЕ ЗАДАНИЯ И МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ИХ ВЫПОЛНЕНИЮ**

**Задание 1.** Запустить лабораторный комплекс **Micro-Сap 12**. Собрать на рабочем поле среды **Micro-Сap 12** схему для испытания *асинхронного RS-триггера* (рис. 4.5) и установить в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 4.5) на страницу отчета.

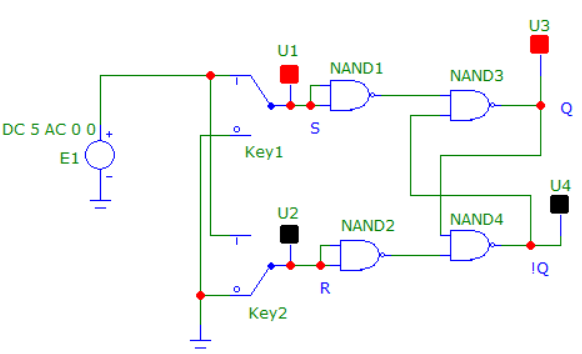


Рис. 4.5

Схема (рис. 4.5) собрана на четырех логических элементах И-НЕ (**NAND**). На входы *S* и *R* элементов **NAND1** и **NAND2** через ключи **1** и **2** подаются логические сигналы 1 или 0 от источника прямоугольных импульсов Е1 с амплитудой 5 В. К выходам **Q** и **!Q** элементов **NAND3** и **NAND4**, то есть к выходам триггера, как и к его входам *S* и *R*, подключены пробники **U1**, **U2**, **UЗ** и **U4** с пороговым напряжением 5 В.

Воспользовавшись порядком засвечивания разноцветных пробников и задавая коды (00, 01, 10) состояния ключей **1** и **2** (входных сигналов), **составить** таблицу истинности *RS*-триггера. Например, сформировав с помощью ключей сигналы  и  и подав их на вход триггера, получите на его выходе сигналы  и  (см. рис. 4.5). Убедитесь, что при запрещенном коде 11 входных сигналов на выходе *RS*-триггера могут засветиться оба пробника, или оба не светятся.

**Задание 2.** Подключить к входам триггера логический генератор (генератор слова) (рис. 4.6), запрограммировав его первые три ячейки кодами 00, 10 и 01.

**Получить** временную диаграмму состояний *RS*-триггера (снять показания с входов и выходов триггера с помощью «Transient Analysis»). **Скопировать** схему испытания и временную диаграмму состояния *RS*-триггера на страницу отчета.

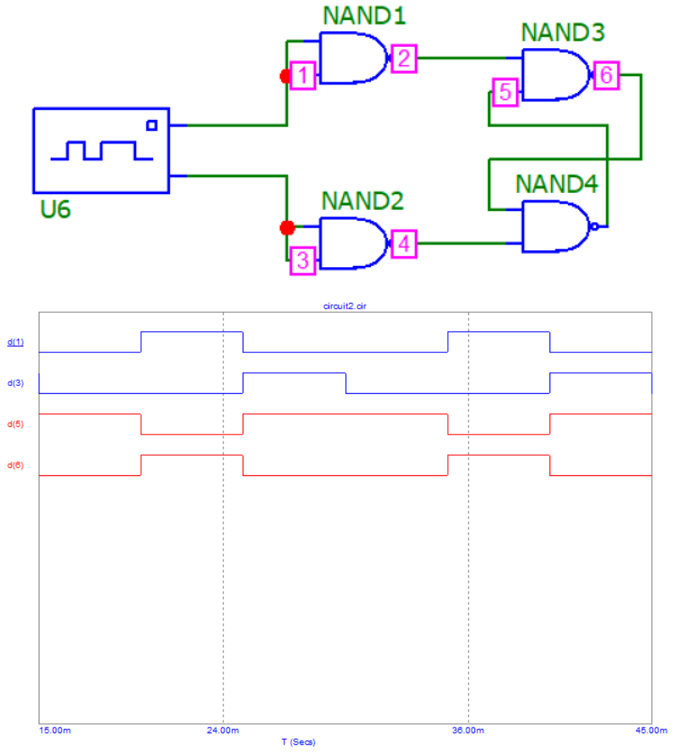


Рис. 4.6

**Задание 3.** Собрать на рабочем поле среды **Micro-Сap 12** схему для испытания триггеров *JK*, *Т* и *D* (рис 4.7). **Скопировать** схему (рис. 4.7) на страницу отчета.

В схему (рис. 4.7) включены: генератор; триггеры в интегральном исполнении: универсальный **JK**, счетный **Т** и задержки **D**.

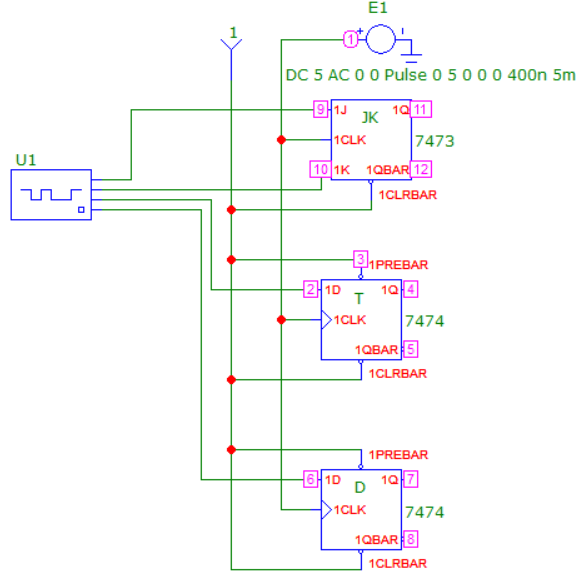


Рис. 4.7

На  и  входы триггеров подается логическая 1 источника **VCC**.

С выходов 1 и 2 генератора **U1** сигналы подаются на управляющие входы 1*J* и 1*K* *JK*-триггера, с выхода 3 — на вход 1*D* *Т*-триггера, а с выхода 4 — на вход 1*D* *D*-триггера.

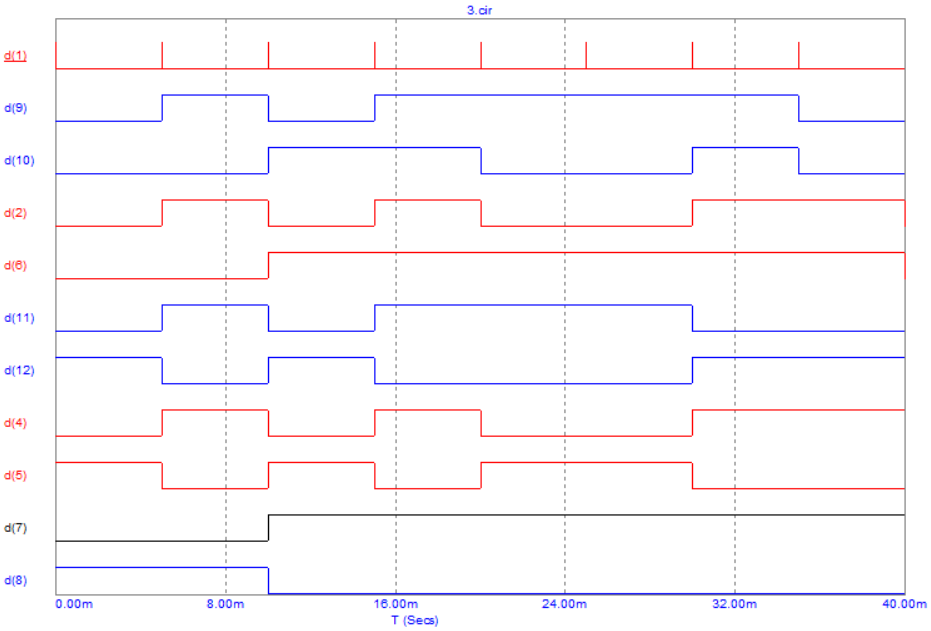
Для формирования выходных сигналов генератор нужно **запрограммировать**, то есть ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 4.4). В качестве примера введём в первые восемь ячеек памяти генератора четырёхразрядные кодовые комбинации:

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 0000, | 0101, | 1010, | 1111, | 1001, | 1001, | 1111, | 1100. |

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы 1, 2, 3, 4, формируя на них следующие коды сигналов: 01011110, 00110010, 01010011 и 00111111 (см. сигналы на каналах 9, 10, 2 и 6 (рис. 4.8)).

Таблица 4.4

|  |  |
| --- | --- |
| Вариант | Содержимое ячеек памяти генератора слова XWG1 |
| 1, 6, 11, 16, 21, 26 | 0000, 1010, 1111, 1001, 1001, 1101, 1100, 0000 |
| 2, 7, 12, 17, 22, 27 | 0000, 1100, 1010, 1011, 1001, 1111, 1110, 0000 |
| 3, 8, 13, 18, 23, 28 | 0000, 1010, 1011, 1001, 1001, 1111, 1101, 0000 |
| 4, 9, 14, 19, 24, 29 | 0000, 1111, 1101, 1001, 1011, 1011, 1100, 0000 |
| 5, 10, 15, 20, 25, 30 | 0000, 1011, 1101, 1001, 1100, 1111, 1010, 0000 |

  
Рис. 4.8

**Провести** моделирование работы триггеров, **скопировать** в отчет временные диаграммы, **составить** и **заполнить** таблицы истинности работы триггеров **JK**, **Т** и **D** при заданном в табл. 4.4 варианте входных кодовых комбинаций. В частности, описать состояния *JK*-триггера с приходом тактового сигнала , когда сигналы  и , a  или .

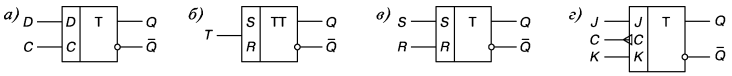
**ТЕСТОВЫЕ ЗАДАНИЯ К РАБОТЕ 4**

1. Укажите, какая **комбинация** логических сигналов является запрещенной для асинхронного *RS*-триггера:

|  |  |  |  |
| --- | --- | --- | --- |
| * 01; | * 11; | * 10; | * 00. |

1. Укажите **условное графическое обозначение**:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1. *JK*-триггера: | * *а*; | * *б*; | * *в*; | * *г*; |
| 1. *RS*-триггера: | * *а*; | * *б*; | * *в*; | * *г*; |

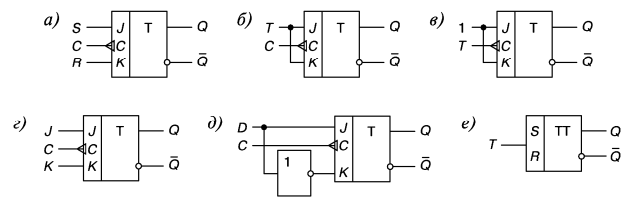


1. Укажите **условное графическое обозначение**:
2. *Т*-триггера, выполненного на основе *JK*-триггера:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| * *а*; | * *б*; | * *в*; | * *г*; | * *д*; | * *е*; |

1. *D*-триггера, выполненного на основе *JK*-триггера:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| * *а*; | * *б*; | * *в*; | * *г*; | * *д*; | * *е*; |



1. Укажите, нашли ли широкое применение **асинхронные** *D*-триггеры:

|  |  |
| --- | --- |
| * Да; | * Нет. |

1. Укажите, как **функционирует** *JK*-триггер при комбинации ,  на входе:

* триггер находится в режиме хранения;
* триггер работает в счетном режиме;
* такая комбинация сигналов на входе является запрещенной.

1. Укажите значение **сигнала па выходе** *JK*-триггера при комбинации ,  на входе и  после окончания действия синхроимпульса:

|  |  |  |
| --- | --- | --- |
| * 0; | * 1; | * Неопределенность: 0 или 1. |

1. Укажите **аналитическое выражение**, описывающее работу:

|  |  |  |  |
| --- | --- | --- | --- |
| 1. ; | 1. ; | 1. ; | 1. : |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1. *RS*-триггера: | * *а*; | * *б*; | * *в*; | * *г*; |
| 1. *JK*-триггера: | * *а*; | * *б*; | * *в*; | * *г*; |
| 1. *T*-триггера: | * *а*; | * *б*; | * *в*; | * *г*; |
| 1. *D*-триггера: | * *а*; | * *б*; | * *в*; | * *г*; |

1. Укажите, чем отличается **динамическое управление** триггерами от статического управления:

* принципиальных отличий нет: сигналы, поступающие на информационные входы всех модификаций триггеров, действуют в момент их поступления;
* у триггеров с динамическим управлением сигналы на информационных входах должны оставаться неизменными на всем интервале действия активного логического сигнала синхронизации ();
* при динамическом управлении запоминание сигналов, действующих на информационных входах триггера, происходит в момент изменения значения сигнала на входе синхронизации;
* у триггеров с динамическим управлением отсутствуют прямые или инверсные входы, реагирующие на перепады сигналов на входах.

1. Укажите **уровни напряжения** интегральных микросхем триггеров серии ТТЛ, принимаемые за логическую 1 и логический 0 при напряжении питания :

|  |  |
| --- | --- |
| * ; | * ; |
| * ; | * . |

1. Укажите, к какому **типу** триггеров относятся Т-триггеры:

|  |  |
| --- | --- |
| * к асинхронным; | * к синхронным. |